

Armadillo-500 ハードウェアマニュアル

Version 1.0.6-ed2fe52
2009/01/14

株式会社アットマークテクノ [<http://www.atmark-techno.com>]

Armadillo 公式サイト [<http://armadillo.atmark-techno.com>]

Armadillo-500 ハードウェアマニュアル

株式会社アットマークテクノ

060-0035 札幌市中央区北 5 条東 2 丁目 AFT ビル 6F
TEL 011-207-6550 FAX 011-207-6570

製作著作 © 2008 Atmark Techno, Inc

Version 1.0.6-ed2fe52
2009/01/14

目次

1. はじめに	1
1.1. 本書の構成	1
2. 注意事項	2
2.1. 安全に関する注意事項	2
2.2. 保証に関する注意事項	2
2.3. 取り扱い上の注意事項	3
2.4. ソフトウェア使用に関する注意事項	3
2.5. 商標について	3
3. 概要	4
3.1. ボード概要	4
3.2. ブロック図	4
4. メモリマップ	9
5. インターフェース仕様	11
5.1. インターフェースの配置	11
5.2. J1, J2	11
6. 推奨動作電圧	16
7. 基板形状図	18

図目次

3.1. Armadillo-500 A5001 ブロック図	5
3.2. Armadillo-500 A5027 ブロック図	6
3.3. i.MX31L 機能ブロック図	7
3.4. i.MX31 機能ブロック図	8
5.1. インターフェースの配置	11
6.1. 電源シーケンス図	17

表目次

3.1. Armadillo-500 CPU モジュール仕様	4
4.1. Armadillo-500 A5001 物理メモリマップ	9
4.2. Armadillo-500 A5027 物理メモリマップ	10
5.1. インターフェースの内容	11
5.2. J1 信号配列	11
5.3. J2 信号配列	13
6.1. 各電圧グループの推奨動作電圧	16

1.はじめに

Armadillo-500 は、CPU Core に ARM1136JF-S を搭載した超小型・高性能 CPU モジュールです。情報表示機器やマルチメディア機器などのメインプロセッサとしてご利用頂くことが可能です。

1.1. 本書の構成

本書は、Armadillo-500 を使用する上で必要な情報のうち、以下の点について記載されています。

- ハードウェア概要
- メモリマップ
- インターフェース仕様
- 基板の形状

Armadillo-500 の機能を最大限に引き出すために、ご活用いただければ幸いです。

2. 注意事項

2.1. 安全に関する注意事項

本製品を安全にご使用いただくために、特に以下の点にご注意くださいますようお願いいたします。



本製品には一般電子機器用(OA 機器・通信機器・計測機器・工作機械等)に製造された半導体部品を使用しておりますので、その誤作動や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置(医療機器・交通機器・燃焼制御・安全装置等)には使用しないでください。また、半導体部品を使用した製品は、外来ノイズやサージにより誤作動や故障する可能性があります。ご使用になる場合は万一誤作動、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計(リミットスイッチやヒューズ・ブレーカ等の保護回路の設置、装置の多重化等)に万全を期されますようお願い申し上げます。

2.2. 保証に関する注意事項

製品保証範囲について 付属品(ソフトウェアを含みます)を使用し、取扱説明書、各注意事項に基づく正常なご使用に限り有効です。万一正常なご使用のもと製品が故障した場合は、初期不良保証期間内であれば新品交換をさせていただきます。

保証対象外になる場合 次のような場合の故障・損傷は、保証期間内であっても保証対象外になります。

1. 取扱説明書に記載されている使用方法、または注意に反したお取り扱いによる場合
2. 改造や部品交換に起因する場合。または正規のものではない機器を接続したことによる場合
3. お客様のお手元に届いた後の輸送、移動時の落下など、お取り扱いの不備による場合
4. 火災、地震、水害、落雷、その他の天災、公害や異常電圧による場合
5. AC アダプター、専用ケーブルなどの付属品について、同梱のものを使用していない場合
6. 修理依頼の際に購入時の付属品がすべて揃っていない場合

免責事項 弊社に故意または重大な過失があった場合を除き、製品の使用および、故障、修理によって発生するいかなる損害についても、弊社は一切の責任を負わないものとします。



本製品は購入時の初期不良以外の保証を行っておりません。保証期間は商品到着後 2 週間です。本製品をご購入されましたらお手数でも必ず動作確

認を行ってからご使用ください。本製品に対して注意事項を守らずに発生した故障につきましては保証対象外となります。

2.3. 取り扱い上の注意事項

本製品に恒久的なダメージをあたえないよう、取り扱い時には以下のような点にご注意ください。

- | | |
|--------------|--|
| 電源投入時のコネクタ着脱 | 本製品や周辺回路に電源が入っている状態で、Armadillo-500 の着脱は、絶対に行わないでください。 |
| 静電気 | 本製品には CMOS デバイスを使用していますので、ご使用になる時までには、帯電防止対策された出荷時のパッケージ等にて保管してください。 |
| ラッチアップ | 電源および入出力からの過大なノイズやサージ、電源電圧の急激な変動等により、使用している CMOS デバイスがラッチアップを起こす可能性があります。いったんラッチアップ状態となると、電源を切断しないかぎりこの状態が維持されるため、デバイスの破損につながる可能性があります。ノイズの影響を受けやすい入出力ラインには、保護回路を入れることや、ノイズ源となる装置と共通の電源を使用しない等の対策をとることをお勧めします。 |
| 衝撃 | 落下や衝撃などの強い振動を与えないでください。 |

2.4. ソフトウェア使用に関する注意事項

- | | |
|--------------------|---|
| 本製品に含まれるソフトウェアについて | 本製品に含まれるソフトウェア(付属のドキュメント等も含まれます)は、現状のまま(AS IS)提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用による結果についてもなんら保証するものではありません。 |
|--------------------|---|

2.5. 商標について

Armadillo は株式会社アットマークテクノの登録商標です。その他の記載の商品名および会社名は、各社・各団体の商標または登録商標です。

3.概要

3.1. ボード概要

Armadillo-500 は、Freescale 社製 i.MX31/i.MX31L と高速 DDR SDRAM、フラッシュメモリを高密度に実装した小型の CPU モジュールです。仕様を「表 3.1. Armadillo-500 CPU モジュール仕様」に示します。

表 3.1. Armadillo-500 CPU モジュール仕様

型番	A5001-U00	A5001-U00B	A5001-U00C	A5027-U00C
プロセッサ	Freescale i.MX31L			Freescale i.MX31
シリコン リビジョン	Rev.1.2 (Device Marking:M45G)		Rev.2.0 (Device Marking:M91E)	
プロセッサ 機能	<ul style="list-style-type: none"> ARM1136JF-S 命令/データキャッシュ 16KByte/16KByte L2 キャッシュ 128KByte 内部 SRAM 16KByte ベクタ浮動小数点コプロセッサ(VFP)搭載 			
CPU クロック	400MHz			
水晶発振器 周波数	CKIL : 32.768kHz, CKIH : 26MHz			
メモリ	DDR SDRAM : 64MByte (32bit 幅) NOR Flash : 16MByte (16bit 幅) ¹			DDR SDRAM : 128MByte (32bit 幅) NOR Flash : 32MByte (16bit 幅) ¹
基板コネクタ	FX10A-140S/14-SV(ヒロセ電機) ² × 2			
電源電圧	メモリ電圧 : 1.8V I/O 電圧 : 1.8 ~ 3.1V			
コア電圧	1.35 ~ 1.55V			1.38 ~ 1.52V
コア電圧絶対 最大定格	1.65V			
基板サイズ	34 × 54 mm			
重量	約 10g			
使用温度範囲	0 ~ 70			

¹ 型式: Intel 社製 PC28F128P30B85

² 対応コネクタ型式: 基板間高さ 4mm 用 FX10A-140P/14-SV(ヒロセ電機)、基板間高さ 5mm 用 FX10A-140P/14-SV1(ヒロセ電機)

3.2. ブロック図

Armadillo-500 A5001 のブロック図を「図 3.1. Armadillo-500 A5001 ブロック図」に、A5027 のブロック図を「図 3.2. Armadillo-500 A5027 ブロック図」に示します。また、i.MX31L の機能ブロック図を「図 3.3. i.MX31L 機能ブロック図」に、i.MX31 の機能ブロック図を「図 3.4. i.MX31 機能ブロック図」に示します。

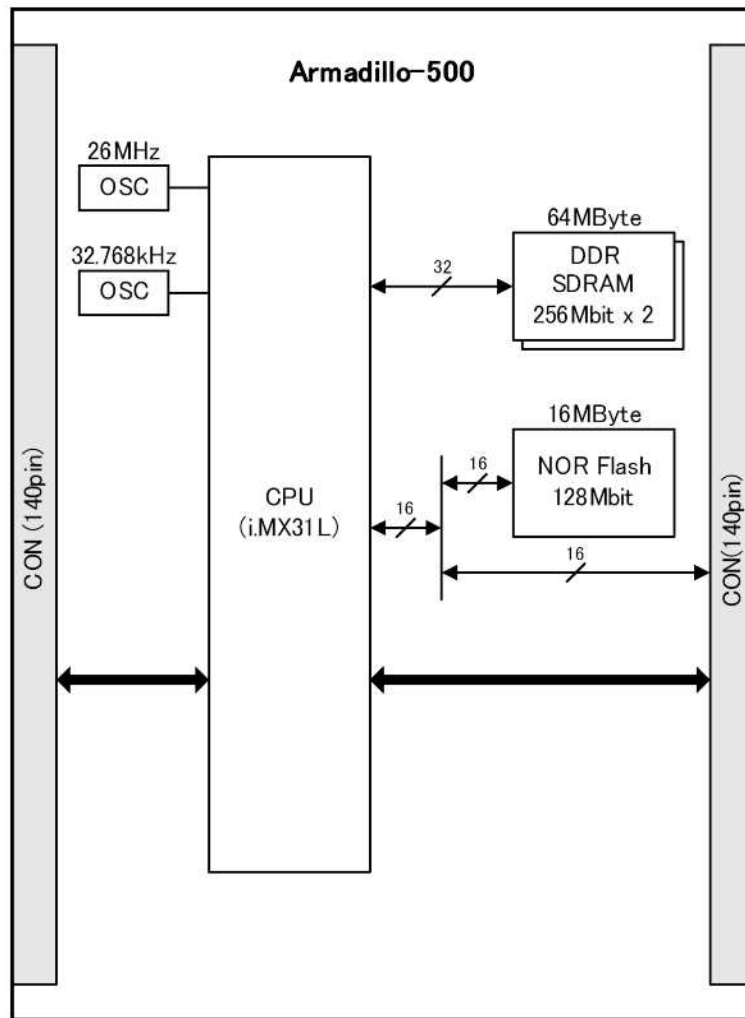


図 3.1. Armadillo-500 A5001 ブロック図

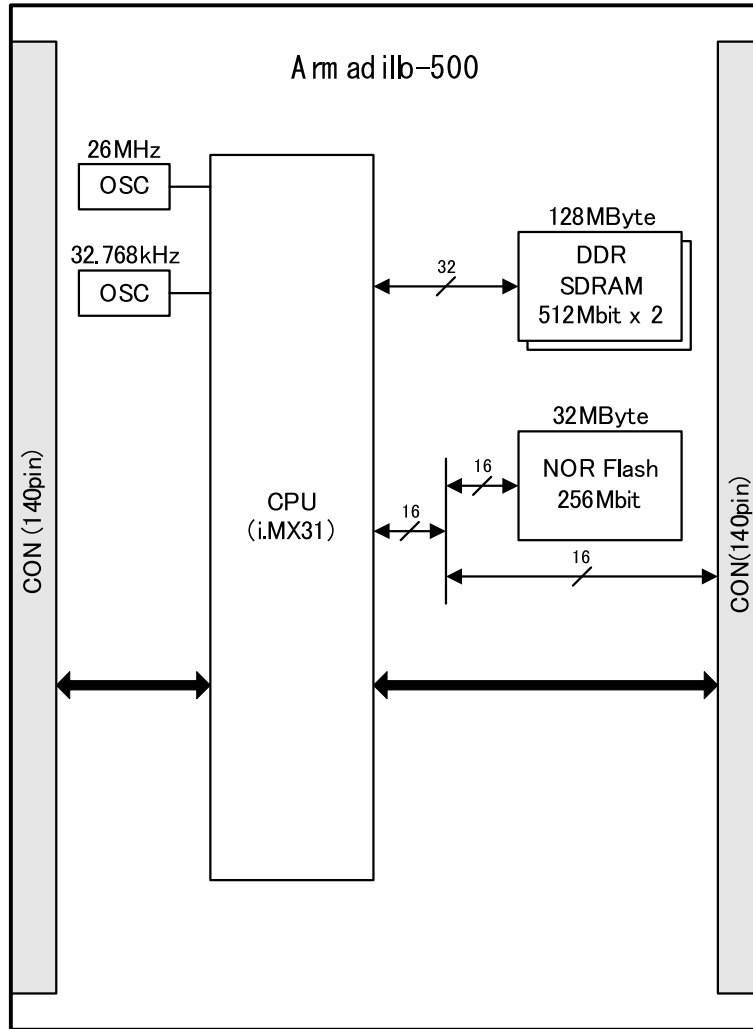


図 3.2. Armadillo-500 A5027 ブロック図

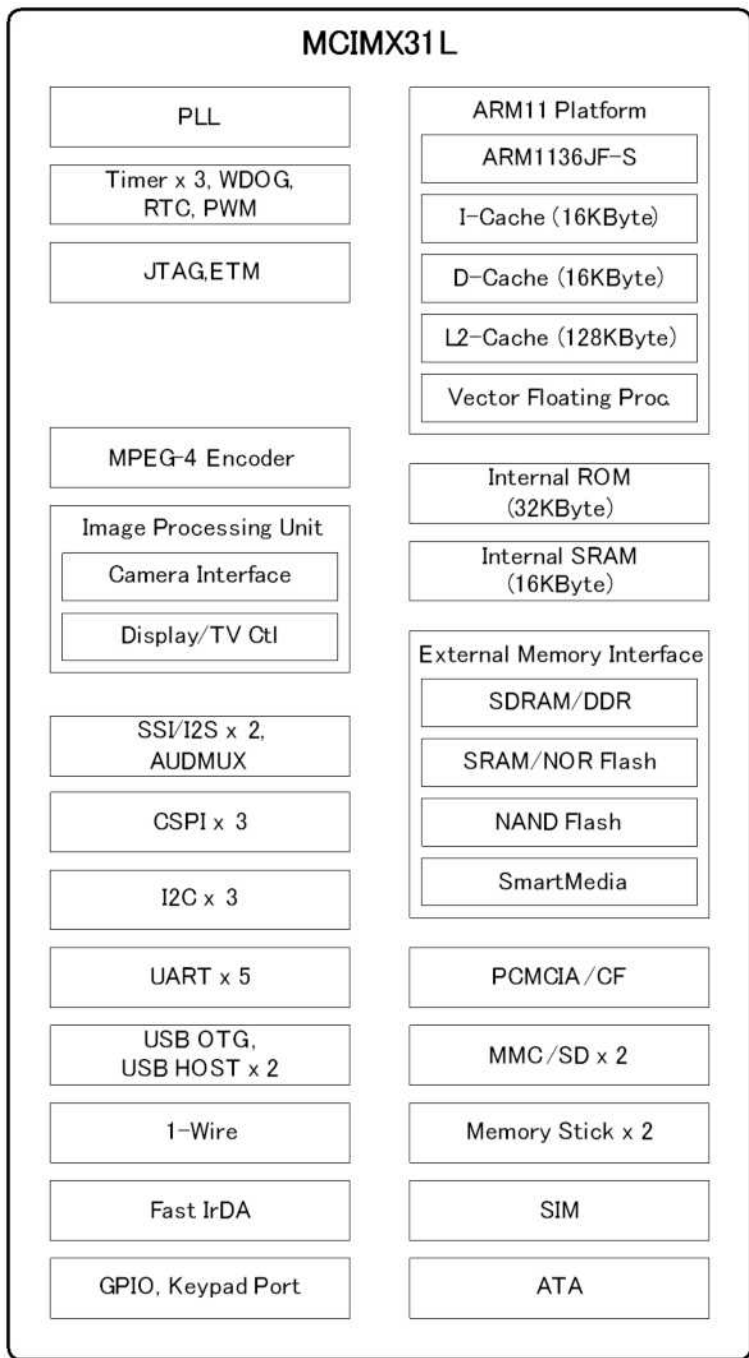


図 3.3. i.MX31L 機能ブロック図

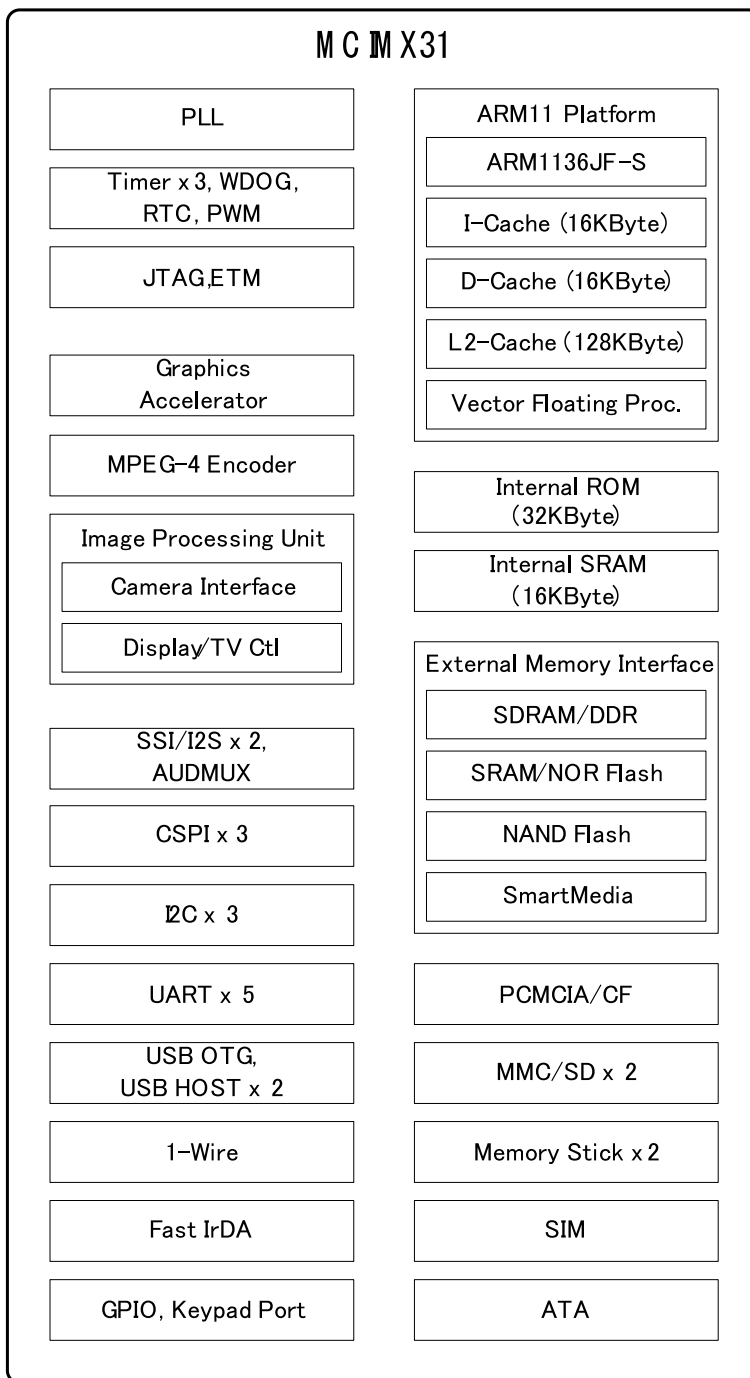


図 3.4. i.MX31 機能ブロック図

4.メモリマップ

Armadillo-500 A5001 の物理メモリマップを「表 4.1. Armadillo-500 A5001 物理メモリマップ」に、 A5027 の物理メモリマップを「表 4.2. Armadillo-500 A5027 物理メモリマップ」に示します。

表 4.1. Armadillo-500 A5001 物理メモリマップ

Start Address	End Address	Device	Area
0x0000 0000	0x0000 3FFF	i.MX31 Secure ROM (16KByte)	
0x0000 4000	0x0040 3FFF	Reserved	
0x0040 4000	0x0040 7FFF	i.MX31 Internal ROM (16KByte)	
0x0040 8000	0x1FFF BFFF	Reserved	
0x1FFF C000	0x1FFF FFFF	i.MX31 Internal RAM (16KByte)	
0x2000 0000	0x2FFF FFFF	Reserved	
0x3000 0000	0x7FFF FFFF	i.MX31 Internal Registers	
0x8000 0000	0x83FF FFFF	DDR SDRAM (64MByte)	CSD0
0x8400 0000	0x8FFF FFFF	Reserved	
0x9000 0000	0x9FFF FFFF	Reserved	CSD1
0xA000 0000	0xA0FF FFFF	NOR Flash Memory (16MByte)	CS0
0xA100 0000	0xA7FF FFFF	Reserved	
0xA800 0000	0xAFFF FFFF	Spare (128MByte)	CS1
0xB000 0000	0xB1FF FFFF	Reserved	CS2
0xB200 0000	0xB3FF FFFF	Spare (32MByte)	CS3
0xB400 0000	0xB5FF FFFF	Spare (32MByte)	CS4
0xB600 0000	0xB7FF FFFF	Spare (32MByte)	CS5
0xB800 0000	0xB800 0FFF	NAND Flash Memory Region	
0xB800 1000	0xB800 4FFF	i.MX31 Internal Registers	
0xB800 5000	0xBBFF FFFF	Reserved	
0xBC00 0000	0xBFFF FFFF	PCMCIA I/F Region	
0xC000 0000	0xFFFF FFFF	Reserved	

表 4.2. Armadillo-500 A5027 物理メモリマップ

Start Address	End Address	Device	Area
0x0000 0000	0x0000 3FFF	i.MX31 Secure ROM (16KByte)	
0x0000 4000	0x0040 3FFF	Reserved	
0x0040 4000	0x0040 7FFF	i.MX31 Internal ROM (16KByte)	
0x0040 8000	0x1FFF BFFF	Reserved	
0x1FFF C000	0x1FFF FFFF	i.MX31 Internal RAM (16KByte)	
0x2000 0000	0x2FFF FFFF	Reserved	
0x3000 0000	0x7FFF FFFF	i.MX31 Internal Registers	
0x8000 0000	0x87FF FFFF	DDR SDRAM (128MByte)	CSD0
0x8800 0000	0x8FFF FFFF	Reserved	
0x9000 0000	0x9FFF FFFF	Reserved	CSD1
0xA000 0000	0xA1FF FFFF	NOR Flash Memory (32MByte)	CS0
0xA200 0000	0xA7FF FFFF	Reserved	
0xA800 0000	0xAFFF FFFF	Spare (128MByte)	CS1
0xB000 0000	0xB1FF FFFF	Reserved	CS2
0xB200 0000	0xB3FF FFFF	Spare (32MByte)	CS3
0xB400 0000	0xB5FF FFFF	Spare (32MByte)	CS4
0xB600 0000	0xB7FF FFFF	Spare (32MByte)	CS5
0xB800 0000	0xB800 0FFF	NAND Flash Memory Region	
0xB800 1000	0xB800 4FFF	i.MX31 Internal Registers	
0xB800 5000	0xBBFF FFFF	Reserved	
0xBC00 0000	0xBFFF FFFF	PCMCIA I/F Region	
0xC000 0000	0xFFFF FFFF	Reserved	

5. インターフェース仕様

5.1. インターフェースの配置

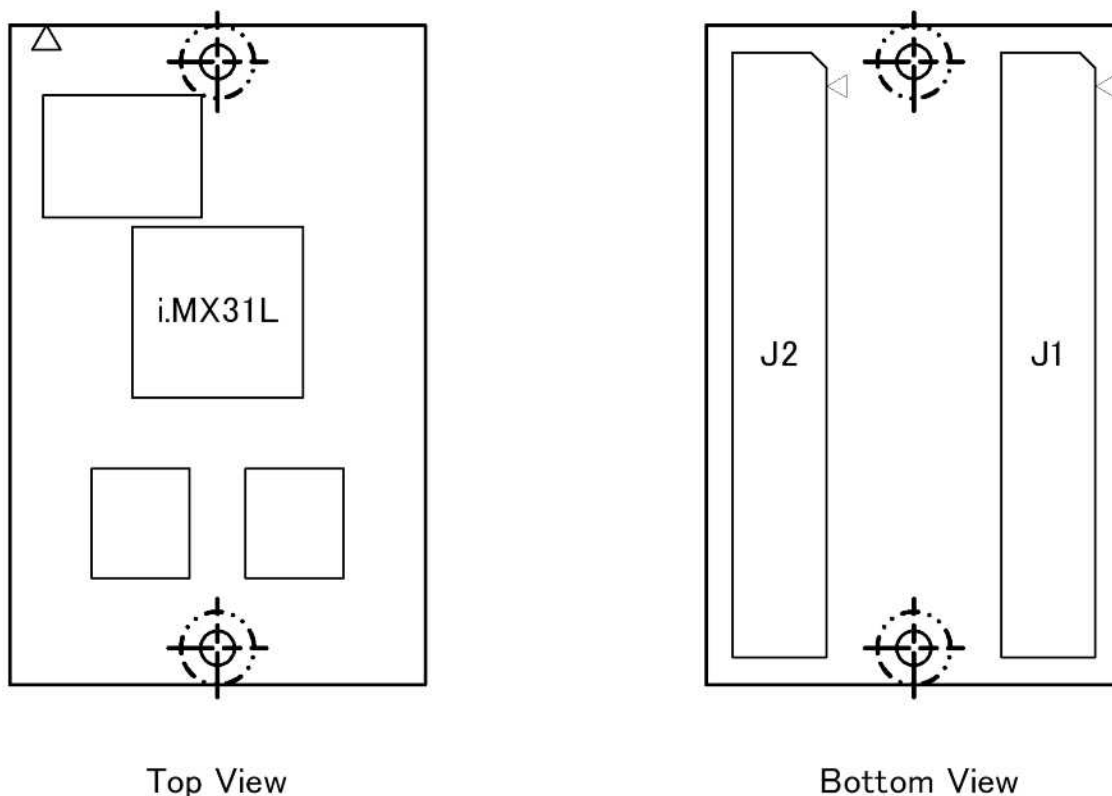


図 5.1. インターフェースの配置

表 5.1. インターフェースの内容

記号	インターフェース	形状	備考
J1,J2	基板間コネクタ	154 ピン(0.5mm ピッチ)	

5.2. J1, J2

J1, J2 の信号配列を「表 5.2. J1 信号配列」、「表 5.3. J2 信号配列」に示します。

表 5.2. J1 信号配列

ピン番号	信号名	電圧グループ	ピン番号	信号名	電圧グループ
1	NVCC5_IN	NVCC5	2	QVCC_IN	QVCC
3	NVCC5_IN	NVCC5	4	QVCC_IN	QVCC
5	BATT_LINE	NVCC5	6	QVCC_IN	QVCC
7	CSPI2_SPI_RDY	NVCC5	8	LD15	+1.8V

ピン番号	信号名	電圧グループ	ピン番号	信号名	電圧グループ
9	CSPI2_SCLK	NVCC5	10	LD14	+1.8V
11	GND	GND	12	GND	GND
13	CSPI2_SS2	NVCC5	14	LD13	+1.8V
15	CSPI2_SS1	NVCC5	16	LD12	+1.8V
17	CSPI2_SS0	NVCC5	18	LD11	+1.8V
19	CSPI2_MISO	NVCC5	20	LD10	+1.8V
21	CSPI2_MOSI	NVCC5	22	LD9	+1.8V
23	SFS5	NVCC5	24	LD8	+1.8V
25	SCK5	NVCC5	26	LD7	+1.8V
27	SRXD5	NVCC5	28	LD6	+1.8V
29	STXD5	NVCC5	30	LD5	+1.8V
31	SFS4	NVCC5	32	LD4	+1.8V
33	GND	GND	34	GND	GND
35	SCK4	NVCC5	36	LD3	+1.8V
37	SRXD4	NVCC5	38	LD2	+1.8V
39	STXD4	NVCC5	40	LD1	+1.8V
41	USBOTG_D7	NVCC5	42	LD0	+1.8V
43	USBOTG_D6	NVCC5	44	PC_CE2*	+1.8V
45	USBOTG_D5	NVCC5	46	PC_CE1*	+1.8V
47	USBOTG_D4	NVCC5	48	EB1*	+1.8V
49	USBOTG_D3	NVCC5	50	EB0*	+1.8V
51	USBOTG_D2	NVCC5	52	LBA*	+1.8V
53	USBOTG_D1	NVCC5	54	BCLK	+1.8V
55	GND	GND	56	GND	GND
57	USBOTG_D0	NVCC5	58	ECB*	+1.8V
59	USBOTG_NXT	NVCC5	60	OE*	+1.8V
61	USBOTG_STP	NVCC5	62	RW*	+1.8V
63	USBOTG_DIR	NVCC5	64	CS5*	+1.8V
65	USBOTG_CLK	NVCC5	66	CS4*	+1.8V
67	SFS6	+1.8V	68	CS3*	+1.8V
69	SCK6	+1.8V	70	CS1*	+1.8V
71	SRXD6	+1.8V	72	LA25	+1.8V
73	STXD6	+1.8V	74	LA24	+1.8V
75	SFS3	+1.8V	76	LA23	+1.8V
77	GND	GND	78	GND	GND
79	SCK3	+1.8V	80	LA22	+1.8V
81	SRXD3	+1.8V	82	LA21	+1.8V
83	STXD3	+1.8V	84	LA20	+1.8V
85	USBH2_D1	+1.8V	86	LA19	+1.8V
87	USBH2_D0	+1.8V	88	LA18	+1.8V
89	USBH2_NXT	+1.8V	90	LA17	+1.8V
91	USBH2_STP	+1.8V	92	LA16	+1.8V

ピン番号	信号名	電圧グループ	ピン番号	信号名	電圧グループ
93	USBH2_DIR	+1.8V	94	LA15	+1.8V
95	USBH2_CLK	+1.8V	96	LA14	+1.8V
97	CSPI1_SPI_RDY	+1.8V	98	LA13	+1.8V
99	GND	GND	100	GND	GND
101	CSPI1_SCLK	+1.8V	102	LA12	+1.8V
103	CSPI1_SS2	+1.8V	104	LA11	+1.8V
105	CSPI1_SS1	+1.8V	106	LA10	+1.8V
107	CSPI1_SS0	+1.8V	108	LA9	+1.8V
109	CSPI1_MISO	+1.8V	110	LA8	+1.8V
111	CSPI1_MOSI	+1.8V	112	LA7	+1.8V
113	NFRB	+1.8V	114	LA6	+1.8V
115	NFCE*	+1.8V	116	LA5	+1.8V
117	NFWP*	+1.8V	118	LA4	+1.8V
119	NFCLE	+1.8V	120	LA3	+1.8V
121	GND	GND	122	GND	GND
123	NFALE	+1.8V	124	LA2	+1.8V
125	NFRE*	+1.8V	126	LA1	+1.8V
127	NFWE*	+1.8V	128	LA0	+1.8V
129	GPIO1_3	+1.8V	130	BOOT_MODE4	+1.8V
131	GPIO1_2	+1.8V	132	BOOT_MODE3	+1.8V
133	GPIO1_1	+1.8V	134	BOOT_MODE2	+1.8V
135	GPIO1_0	+1.8V	136	BOOT_MODE1	+1.8V
137	CMP1	+1.8V	138	BOOT_MODE0	+1.8V
139	CAP1	+1.8V	140	CLKSS	+1.8V
141	WATCHDOG_RST	+1.8V	142	CLKO	+1.8V
143	GND	GND	144	GND	GND
145	B_POR*	+1.8V ¹	146	FUSE_VDD_IN	FUSE_VDD
147	RESET_IN*	+1.8V	148	+1.8V_IN	+1.8V
149	N.C	-	150	+1.8V_IN	+1.8V
151	+1.8V_IN	+1.8V	152	+1.8V_IN	+1.8V
153	+1.8V_IN	+1.8V	154	+1.8V_IN	+1.8V

¹B_POR*ピンはトレラント機能により+5Vまでの入力可能

表 5.3. J2 信号配列

ピン番号	信号名	電圧グループ	ピン番号	信号名	電圧グループ
1	SD1_CMD	NVCC3	2	NVCC3_IN	NVCC3
3	SD1_CLK	NVCC3	4	NVCC3_IN	NVCC3
5	SD1_D0	NVCC3	6	CSPI3_MOSI	NVCC3
7	SD1_D1	NVCC3	8	CSPI3_MISO	NVCC3
9	SD1_D2	NVCC3	10	CSPI3_SCLK	NVCC3
11	GND	GND	12	GND	GND

ピン番号	信号名	電圧グループ	ピン番号	信号名	電圧グループ
13	SD1_D3	NVCC3	14	CSPI3_SPI_RDY	NVCC3
15	ATA_CS1	NVCC3	16	PC_CD2*	NVCC3
17	ATA_DMACK	NVCC3	18	PC_VS1	NVCC3
19	ATA_CS0	NVCC3	20	PC_RST	NVCC3
21	ATA_DIOR	NVCC3	22	PC_READY	NVCC3
23	ATA_DIOW	NVCC3	24	PC_RW*	NVCC3
25	ATA_RESET*	NVCC3	26	PC_BVD1	NVCC3
27	VSTBY	+1.8V	28	IOIS16	NVCC3
29	DVFS0	+1.8V	30	PC_PWRON	NVCC3
31	DVFS1	+1.8V	32	PC_BVD2	NVCC3
33	GND	GND	34	GND	GND
35	VPG0	+1.8V	36	PC_POE	NVCC3
37	VPG1	+1.8V	38	PC_VS2	NVCC3
39	POWER_FAIL	+1.8V	40	PC_CD1*	NVCC3
41	SVEN0	NVCC6	42	PC_WAIT*	NVCC3
43	SRX0	NVCC6	44	PWMO	NVCC3
45	SCLK0	NVCC6	46	NVCC6_IN	NVCC6
47	SRST0	NVCC6	48	NVCC6_IN	NVCC6
49	STX0	NVCC6	50	RTCK	NVCC6
51	SIMPD0	NVCC6	52	TCK	NVCC6
53	KEY_ROW7	NVCC6	54	TMS	NVCC6
55	GND	GND	56	GND	GND
57	KEY_ROW6	NVCC6	58	TDI	NVCC6
59	KEY_ROW5	NVCC6	60	TDO	NVCC6
61	KEY_ROW4	NVCC6	62	TRST*	NVCC6
63	KEY_ROW3	NVCC6	64	DE*	NVCC6
65	KEY_ROW2	NVCC6	66	RXD1	NVCC8
67	KEY_ROW1	NVCC6	68	TXD1	NVCC8
69	KEY_ROW0	NVCC6	70	RTS1	NVCC8
71	KEY_COL0	NVCC6	72	CTS1	NVCC8
73	KEY_COL1	NVCC6	74	NVCC8_IN	NVCC8
75	KEY_COL2	NVCC6	76	NVCC8_IN	NVCC8
77	GND	GND	78	GND	GND
79	KEY_COL3	NVCC6	80	DTR_DTE1	NVCC8
81	KEY_COL4	NVCC6	82	DSR_DTE1	NVCC8
83	KEY_COL5	NVCC6	84	RI_DTE1	NVCC8
85	KEY_COL6	NVCC6	86	DCD_DTE1	NVCC8
87	KEY_COL7	NVCC6	88	RXD2	NVCC8
89	CSI_D4	NVCC4	90	TXD2	NVCC8
91	CSI_D5	NVCC4	92	RTS2	NVCC8
93	CSI_D6	NVCC4	94	CTS2	NVCC8
95	CSI_D7	NVCC4	96	NVCC4_IN	NVCC4

ピン 番号	信号名	電圧 グループ	ピン 番号	信号名	電圧 グループ
97	CSI_D8	NVCC4	98	NVCC4_IN	NVCC4
99	GND	GND	100	GND	GND
101	CSI_D9	NVCC4	102	I2C_CLK	NVCC4
103	CSI_D10	NVCC4	104	I2C_DAT	NVCC4
105	CSI_D11	NVCC4	106	GPIO3_0	NVCC4
107	CSI_D12	NVCC4	108	GPIO3_1	NVCC4
109	CSI_D13	NVCC4	110	IPU_LD0	NVCC7
111	CSI_D14	NVCC4	112	IPU_LD1	NVCC7
113	CSI_D15	NVCC4	114	IPU_LD2	NVCC7
115	CSI_MCLK	NVCC4	116	IPU_LD3	NVCC7
117	CSI_VSYNC	NVCC4	118	IPU_LD4	NVCC7
119	CSI_HSYNC	NVCC4	120	IPU_LD5	NVCC7
121	GND	GND	122	GND	GND
123	CSI_PIXCLK	NVCC4	124	IPU_LD6	NVCC7
125	IPU_VSYNC0	NVCC7	126	IPU_LD7	NVCC7
127	IPU_HSYNC	NVCC7	128	IPU_LD8	NVCC7
129	IPU_FPSHIFT	NVCC7	130	IPU_LD9	NVCC7
131	IPU_DRDY0	NVCC7	132	IPU_LD10	NVCC7
133	IPU_LCS0	NVCC7	134	IPU_LD11	NVCC7
135	IPU_LCS1	NVCC7	136	IPU_LD12	NVCC7
137	IPU_PAR_RS	NVCC7	138	IPU_LD13	NVCC7
139	IPU_WRITE	NVCC7	140	IPU_LD14	NVCC7
141	IPU_READ	NVCC7	142	IPU_LD15	NVCC7
143	GND	GND	144	GND	GND
145	IPU_VSYNC3	NVCC7	146	IPU_LD16	NVCC7
147	IPU_CONTRAST	NVCC7	148	IPU_LD17	NVCC7
149	IPU_D3_REV	NVCC7	150	N.C	-
151	IPU_D3_CLS	NVCC7	152	NVCC7_IN	NVCC7
153	IPU_D3_SPL	NVCC7	154	NVCC7_IN	NVCC7

6.推奨動作電圧

表 6.1. 各電圧グループの推奨動作電圧

電圧グループ	機能	ピン番号	Min	Max	単位
NVCC3	I/O 電圧	J2(2),J2(4)	1.75	3.1	V
NVCC4	I/O 電圧	J2(96),J2(98)	1.75	3.1	V
NVCC5	I/O 電圧	J1(1),J1(3)	1.75	3.1	V
NVCC6	I/O 電圧	J2(46),J2(48)	1.75	3.1	V
NVCC7	I/O 電圧	J2(152),J2(154)	1.75	3.1	V
NVCC8	I/O 電圧	J2(74),J2(76)	1.75	3.1	V
+1.8V	メモリ電圧	J1(148),J1(150), J1(151),J1(152), J1(153),J1(154)	1.75	1.95	V
FUSE_VDD	Fuse 電圧	J1(146)	1.75	3.1	V
QVCC	コア電圧 (A5001-U**/A5001-U**B)	J1(2),J1(4),J1(6)	1.35 ¹	1.55 ²	V
QVCC	コア電圧 (A5001-U**C/A5027-U**)	J1(2),J1(4),J1(6)	1.38	1.52	V
FUSE_VDD	Fuse 電圧 (A5001-U**/A5001-U**B)	J1(146)	1.75	1.95	V
FUSE_VDD	Fuse 電圧 (A5001-U**C/A5027-U**)	J1(146)	. ³	-	V
GND	GND	J1(11),J1(12), J1(33),J1(34), J1(55),J1(56), J1(77),J1(78), J1(99),J1(100), J1(121),J1(122), J1(143),J1(144), J2(11),J2(12), J2(33),J2(34), J2(55),J2(56), J2(77),J2(78), J2(99),J2(100), J2(121),J2(122), J2(143),J2(144)			

¹i.MX31/i.MX31L 内蔵 USB コントローラを使用して、High Speed モードに対応する場合は、コア電圧を 1.55V で設計してください。この制限は CPU モジュール A5001-U**C/A5027-U**には適用されません。

²1.47V 以上のコア電圧で使用される場合は、累積稼働時間が 1.25 年(10950 時間)に制限されます。(例えば、5 年間運用するためには、1 日あたり平均 6 時間の稼働に制限されます。)長期連続稼働が要求される場合、コア電圧は 1.47V 以下で設計してください。

³CPU モジュール A5001-U**C/A5027-U**では未接続としてください。

Armadillo-500 の推奨電源シーケンスを「図 6.1. 電源シーケンス図」に示します。i.MX31/i.MX31L の PLL 電圧は最後に入力される必要があります。Armadillo-500 の内部回路により、コア電圧(QVCC)入力の約 5msec 後に PLL 電圧が入力されますので、I/O 電圧(NVCC3 ~ 8)とメモリ電圧(+1.8V)は PLL 電圧より前に立ち上がるように電源回路を設計してください。

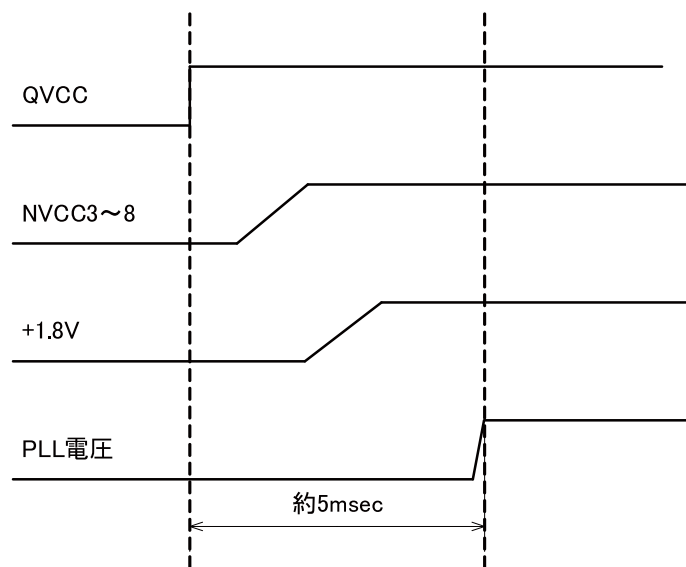
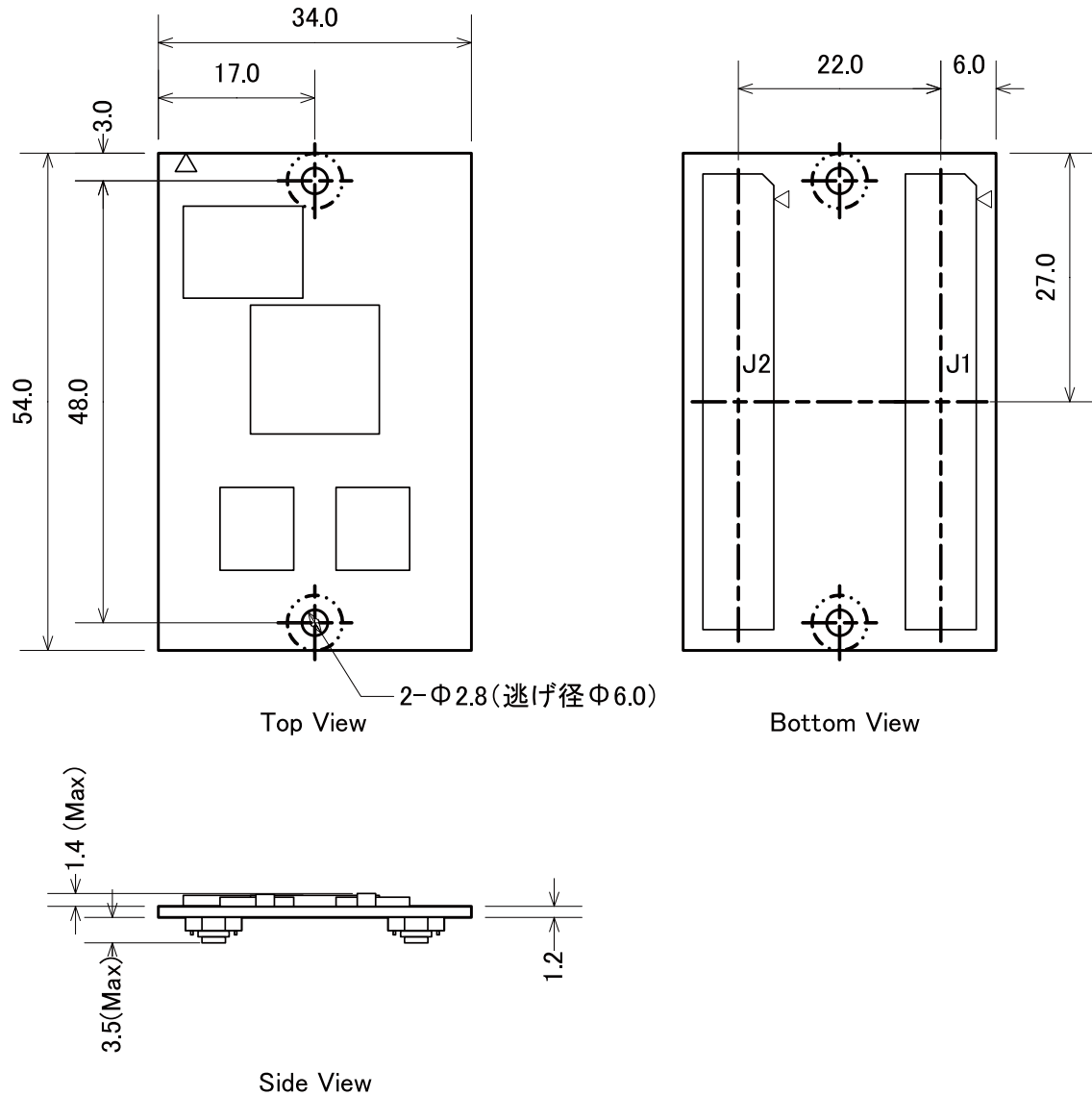


図 6.1. 電源シーケンス図

7.基板形状図



[単位: mm]

改訂履歴

バージョン	年月日	改訂内容
1.0.0	2007/7/27	<ul style="list-style-type: none"> 初版発行
1.0.1	2007/9/14	<ul style="list-style-type: none"> 「2.2. 保証に関する注意事項」の製品の保証方法を修正
1.0.2	2007/12/14	<ul style="list-style-type: none"> 「表 3.1. Armadillo-500 CPU モジュール仕様」の修正 「表 5.2. J1 信号配列」および「表 5.3. J2 信号配列」の修正 「表 6.1. 各電圧グループの推奨動作電圧」の修正
1.0.3	2008/10/02	<ul style="list-style-type: none"> タイトルを英語表記からカタカナ表記に 「表 3.1. Armadillo-500 CPU モジュール仕様」、「表 6.1. 各電圧グループの推奨動作電圧」CPU モジュールの寿命について追記
1.0.4	2008/11/18	<ul style="list-style-type: none"> 「表 3.1. Armadillo-500 CPU モジュール仕様」A5027-U00C について追記 「表 6.1. 各電圧グループの推奨動作電圧」QVCC(A50**-U**C)の min と max を修正(min=1.3->1.38, max=1.47->1.52)
1.0.5	2008/12/03	<ul style="list-style-type: none"> 「表 3.1. Armadillo-500 CPU モジュール仕様」A5001-U00 のシリコンリビジョンを訂正 「表 3.1. Armadillo-500 CPU モジュール仕様」A5001-U00C について追記 「表 6.1. 各電圧グループの推奨動作電圧」QVCC、FUSE_VDD の CPU モジュールの型番に関する注意事項に A5027-U**の情報を追記 「図 3.2. Armadillo-500 A5027 ブロック図」、「図 3.4. i.MX31 機能ブロック図」追加 「表 4.2. Armadillo-500 A5027 物理メモリマップ」追加
1.0.6	2008/12/25	<ul style="list-style-type: none"> 「図 6.1. 電源シーケンス図」、「7. 基板形状図」画像形式を SVG に変更

Armadillo-500 ハードウェアマニュアル
Version 1.0.6-ed2fe52
2009/01/14

株式会社アットマークテクノ

060-0035 札幌市中央区北 5 条東 2 丁目 AFT ビル 6F TEL 011-207-6550 FAX 011-207-6570
